

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-023446

(43)Date of publication of application : 31.01.1986

(51)Int.Cl.

H04L 11/00

(21)Application number : 59-143483

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.07.1984

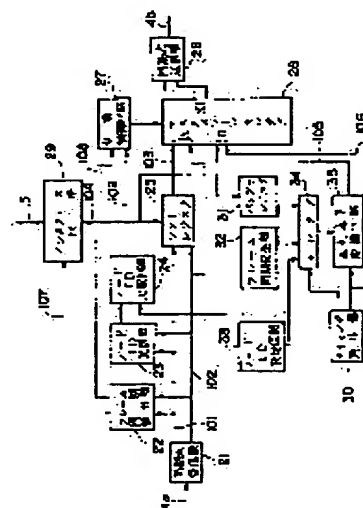
(72)Inventor : MATSUMOTO MASAHIRO

(54) NODE EQUIPMENT OF LOOP TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To allow each node equipment to apply master operation by adding a synchronizing control function to each communication node equipment of plural sets connected to a loop transmission line.

CONSTITUTION: A node ID designated to each equipment is set to a node ID setting circuit 33 of each communication node equipment. An input signal from a transmission line 4a is inputted to a shift register 25, a frame synchronizing detector 22 and a node ID receiver 23 via a synchronizing receiver 21. The detector 22 transmits a switching signal to a switching control circuit 27 when a synchronizing signal is not detected for a prescribed time or over or an output value of the receiver 23 is compared (24) with a setting value of the circuit 33 and its result reaches a prescribed value. The circuit 27 controls a master/slave selector 26, selects a B input to provide a function as a master. In such a case, a signal from the frame synchronizing generator 32 and a data via a buffer register 31 from a terminal equipment 5 are subject to parallel/serial conversion 35 and the result is transmitted to a transmission line 4b via the selector 26 and a synchronizing transmitter 28. At slave operation, an A input data from the register 25 is selected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-23446

⑬ Int.Cl.⁴

H 04 L 11/00

識別記号

1 0 2

庁内整理番号

F-7830-5K

⑭ 公開 昭和61年(1986)1月31日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 ループ伝送システムのノード装置

⑯ 特 願 昭59-143483

⑰ 出 願 昭59(1984)7月11日

⑱ 発 明 者 松 本 正 弘 鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ループ伝送システムのノード装置

2. 特許請求の範囲

ビットシリアル形のデジタル信号が伝送されるループ伝送路に、複数のノード装置が互に縦続的に接続されて、上記複数のノード装置間にデータ伝送を行うループ伝送システムを構成した場合のループ伝送システムのノード装置において、
上記複数のノード装置の各ノード装置には、
並列信号入力端子と並列信号出力端子とを有し、
上記ループ伝送路からその直列信号入力端子に入力されるデジタル信号を当該デジタル信号のビット周期をクロックとしてシフトしてその直列信号出力端子に出力するシフトレジスタ、

上記ループ伝送路から入力されるデジタル信号に含まれるフレーム同期部分のビットパターンを検出するフレーム同期検出器、

上記ループ伝送路から入力されるデジタル信

(1)

号に含まれ、信号同期に関しマスタとなるノード装置に対する識別信号となるノードIDを受信するノードID受信器、

当該ノード装置のノードIDが設定されるID設定回路、

上記フレーム同期部分のビットパターンを当該ノード装置内で発生するフレーム同期発生器、

上記シフトレジスタの内容がその並列信号出力端子から入力されるバッファレジスタ、

上記フレーム同期発生器の出力、上記ノードID設定回路の出力、上記バッファレジスタの出力を編集して構成したデジタル信号をビットシリアル形で出力する並列直列変換回路、

上記ノードID受信器の出力と上記ノードID設定回路の出力とを所定の規則に従って比較し、この比較結果に応じて切換信号を出力するノードID比較回路、

上記シフトレジスタの出力及び上記並列直列変換回路の出力を入力して上記ノードID比較回路から上記切換信号が出力されるか又は上記フレ

(2)

ム同期検出器からの検出信号が所定時間欠除する場合に上記並列直列変換回路の出力を上記ループ伝送路に送出し、その他の場合は上記シフトレジスタの出力を上記ループ伝送路に送出するよう切換えるマスタスレーブセレクタを備えたことを特徴とするループ伝送システムのノード装置。

8. 発明の詳細な説明

〔発明の技術分野〕

この発明はループ伝送システムに関するものである。

〔従来技術〕

第1図は従来のシステムを示すブロック図で、図において(1)は同期ノード装置、(2a),(2b),(2c)はそれぞれ通信ノード装置、(3a1),(3a2),(3b1),(3b2),(3c1),(3c2),(3c3)はそれぞれ端末インタフェース、(4)はループ伝送路、(5a1),(5a2),(5b1),(5b2),(5c1),(5c2),(5c3)はそれぞれ端末インタフェースである。

ループ伝送路(4)上はビットシリアル形のディ

(3)

(2b),(2c)では、このフレーム同期部分(4)を検出して、以下に続く通信チャネルの位置を識別する。通信ノード装置では、フレーム同期部分と、当該ノード装置が利用しない通信チャネル部分は単に中継だけを行い、利用するチャネルについては、装置内のシフトレジスタの並列信号出力端子、並列信号入力端子を介して、端末装置との間でデータの入出力を行う。

通信チャネルの割当やその利用には各種の方法があるが、この発明には直接には関係がないので省略する。

従来のシステムは上記のように構成されているので、同期ノード装置(1)に障害があると、システム全体が停止するという欠点があった。

〔発明の概要〕

この発明は上記のような従来のものの欠点を除去するためになされたもので、この発明では、すべての通信ノード装置に同期制御の機能を付加することによって同期ノードを省略し、いずれか一つの通信ノードがマスタノードとして同期制御を

(5)

デジタル信号が伝送される。第2図は伝送される信号のフレーム構成を示す図で、フレーム(4)はフレーム同期部分(4)と通信チャネル部分(4)から構成され、通信チャネル部分(4)は通信チャネル(42a)として示す通信チャネルの複数チャネルを含む。

第1図に示す構成のシステムは従来よく知られているので一般的の説明は省略するが、ループ伝送路(4)に接続される同期ノード装置(1)は1台であって、フレーム同期部分(4)を生成し、フレーム(4)中のデジタル信号のビット周期を決定する。

同期ノード装置(1)及び各通信ノード装置(2a),(2b),(2c)にはループ伝送路(4)からの信号を入力しその信号のビット周期のクロックでシフトしてループ伝送路(4)へ送出するシフトレジスタを備えており、同期ノード装置(1)はループ伝送路(4)から入力される信号を中継してフレーム(4)を連続的にループ伝送路(4)に送出しているが、その際フレーム同期部分(4)は毎回新しく生成している。

フレーム同期部分(4)は特定のビットパターンによって構成されているので各通信ノード装置(2a),

(4)

行い、もしマスタノードに障害が発生したときは、あらかじめ定めて置く優先順位に従って他の通信ノードが自動的にマスタノードとして動作するよう制御によってシステムの信頼性を向上した。

〔発明の実施例〕

以下この発明の実施例を図面について説明する。

第3図はこの発明の一実施例を示すブロック図で、第1図と同一符号は同一部分を示し、(10d),(10e),(10f),(10g)はそれぞれノード装置、(3d1),(3d2),(3e1),(3e2),(3e3),(3f1),(3g1),(3g2)はそれぞれ端末装置、(5d1),(5d2),(5e1),(5e2),(5e3),(5f1),(5g1),(5g2)はそれぞれ端末インタフェースである。

第3図の各ノード装置はそれぞれ同一の構成を有し、第4図はその構成を示すブロック図である。第4図において(4a)はノード装置へ入力するループ伝送路(4)、(4b)はノード装置から出力するループ伝送路を示し、(5)は第3図の(5d1)等に相当する端末インタフェースである。また、(4)は同期式受信機、(4)はフレーム同期検出器、(4)はノードID

(6)

受信器、104はノードID比較回路、105はシフトレジスタ、106はマスタスレーブセレクト、107は切換制御回路、108は同期式送信機、109はインタフェース回路、110はタイミング発生器、111はバッファレジスタ、112はフレーム同期発生器、113はノードID設定回路、114はセレクト、115は並列直列変換回路である。更に(101)、(102)、(103)、(104)、(105)、(106)、(107)、(108)、(109)はそれぞれ信号線である。

第5図は第3図のシステムにおいて用いられるフレームを示し、第2図と同一符号は同一又は相当部分を示し、104はノードIDで、ノードID104は当該フレーム104を構成したノード装置(すなわちマスタとして動作するノード装置)がどのノード装置であるかを示す識別符号である。

第3図の各ノード装置(10d)、(10e)、(10f)、(10g)はいずれも同期ノード装置として動作する機能を備えていて、あらかじめ定める優先順位に従っていずれかのノード装置が同期ノード装置としての動作を行うので、同期ノード装置としての動作を

(7)

104の入出力はシフトレジスタ104の並列信号出力端子及び並列信号入力端子から信号線(104)、インタフェース回路104、端末インタフェース(5)を介して行われる。その時、信号線(107)上のタイミング信号によって入出力のタイミングが制御される。

信号線(104)上のデータはバッファレジスタ104へも入力される。バッファレジスタ104はFIFO(first-in-first-out)メモリから構成されるエラステックバッファレジスタ104で、シフトレジスタ104から信号線(103)へ送出される通信チャンネル部分104の信号と、バッファレジスタ104からセレクト104を介して並列直列変換回路104から信号線(105)へ送信される通信チャンネル部分104の信号とが一致するように制御される。

タイミング発生器104はビット周期として定められている繰返し周期のクロック信号とこのクロック信号を基準にした他のタイミング信号とを発生する。フレーム同期発生器104はフレーム同期部分104のビットパターンを出力し、ノードID設定回路104には当該ノード装置のノードIDが設定される。

(9)

行っているノード名をノードID104に入れ、このノード装置をマスタノードと言い、他のノード装置をスレーブノード装置という。

第4図に示すノード装置がスレーブノード装置として動作する場合は104、105、106、107、108、109の部分は関係なくマスタスレーブセレクト104は人偶入力(すなわち、シフトレジスタ104からの入力)を同期式送信機104に出力する。すなわち、ループ伝送路(4a)から入力した信号は同期式受信機104によって受信データと受信タイミングが検出され、データは信号線(101)からシフトレジスタ104の直列信号入力端子に加えられ、受信タイミングは信号線(102)を経てシフトレジスタ104をシフトするクロックとなる。このノード装置が信号の中継だけを行う場合は、シフトレジスタ104から信号線(103)上にシフトアウトされた信号が同期式送信機104を経てループ伝送路(4b)上へ送出される。

フレーム同期検出器104はフレーム同期部分104を検出して以下に続くチャネルのフレーム内の位置を識別する。端末装置とシフトレジスタ104間のデ-

(8)

フレーム同期発生器104の出力、ノードID設定回路104の出力、及びバッファレジスタ104の出力は、セレクト104を経て第5図に示すフレーム104を構成して並列直列変換回路104に入力されタイミング発生器104からのクロック信号によりビットシリアル104の形に変換されて信号線(105)を経て信号線(106)上のクロック信号と共にマスタスレーブセレクト104のB側入力に入力される。

ノードID設定回路104の出力とノードID受信器104の出力はノードID比較回路104において所定の法則に従って比較され、その比較結果により信号線(109)上に切換信号を出力する。フレーム同期検出器104においてフレーム同期部分104に対する検出信号が所定時間以上検出されないときは信号線(108)に切換信号が出力され、この切換信号又は信号線(109)上の切換信号により切換制御回路104はマスタスレーブセレクト104を切換えてB側の入力を同期式送信機104に出力し、このノード装置はマスタノード装置となる。また当該ノード装置内でマスタとなることに対する障害を検出したとき

10

は切換制御回路(108)、(109)上の信号を無視してマスタスレーブセレクト(101)のA側入力を出力する。ノードIDの最も簡単な構成例としてノード装置(10d)、(10e)、(10f)、(10g)のノードIDをそれぞれ数値1, 2, 3, 4とする。またノードID比較回路(104)における比較の法則としてノードID設定回路(103)からの数値がノードID受信器(102)からの数値より小さい時、信号線(109)上に切換信号を出力するとする。

第6図はマスタ動作の調停の一例を示すブロック図で、第3図と同一符号は同一部分を示し、第6図(a)はノード装置(10d)がマスタ(斜線で示す)として正常に動作中の状態を表す。この時ノード装置(10d)のため、タイミング発生器(105)の故障が検出されてマスタスレーブセレクト(101)のA側入力がループ伝送路(4b)に送出される状態になったとする。フレーム(100)中のフレーム同期部分(106)とノードID(103)とが無信号となり、ノード装置(10e)、(10f)、(10g)において共にフレーム同期検出器(107)の検出信号が欠落し、一定時間を経て各ノード装

00

置(10e)、(10f)、(10g)が信号線(108)上の切換信号で切換制御回路(108)が一齐に動作したとする。この状態を第6図(b)に示す。第6図(b)の状態では各ノード装置のノードID受信機(102)の出力ID数は(10f)で2、(10g)で3、(10d)で4、((10d)はノードIDを送出しない)(10e)で4となるのでノード装置(10e)だけにおいて信号線(109)上に切換信号が出るが、他のノード装置ではこの切換信号が出ず、かつフレーム同期部分(106)の検出によって信号線(108)上の切換信号も消失しているので、(10e)がマスタとなり、(10f)、(10g)はスレーブに戻って第6図(c)に示す状態になる。

また、第6図に示すシステムが初期状態のときは各ノード装置がスレーブの状態から各ノード装置がマスタの状態となる過渡期間を経て(10d)がマスタとなることは上記説明から容易に理解できる所である。

[発明の効果]

以上のようにこの発明によれば、専用の同期装置を含むことなく、どのノード装置もマスタ動作

02

が可能で、あらかじめ定められた優先順位によってマスタとなるノード装置が自動的に決定されるので、信頼性の高いシステムを構成することができる。

4. 図面の簡単な説明

第1図は従来のシステムを示すブロック図、第2図は第1図のシステムで伝送される信号のフレーム構成を示す図、第3図はこの発明の一実施例を示すブロック図、第4図は第3図の各ノード装置の構成を示すブロック図、第5図は第3図のシステムにおいて用いられるフレームを示す図、第6図はマスタ動作の調停の一例を示すブロック図である。

(4).....ループ伝送路、(10d)、(10e)、(10f)、(10g).....それぞれノード装置、(100).....フレーム同期検出器、(102).....ノードID受信器、(103).....ノードID比較回路、(104).....シフトレジスタ、(105).....マスタスレーブセレクト、(106).....切換制御回路、(107).....バッファレジスタ、(108).....フレーム同期発生器、(109).....ノードID設定回路、(110).....並列直列変換回路。

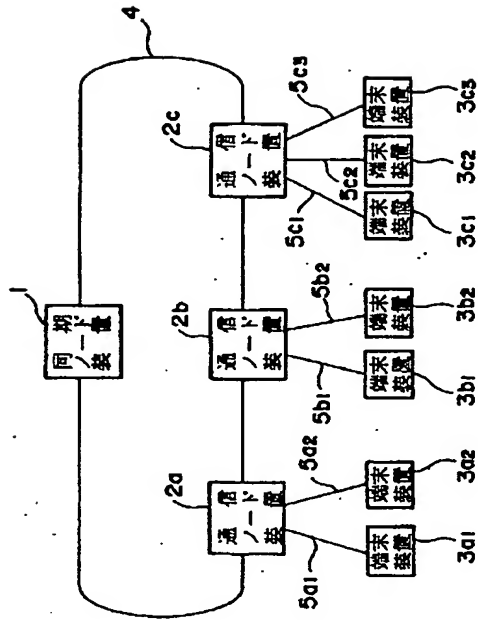
03

尚、各図中同一符号は同一又は相当部分を示す。

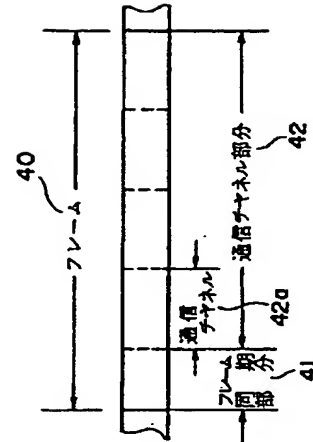
代理人 大 岩 増 雄

04

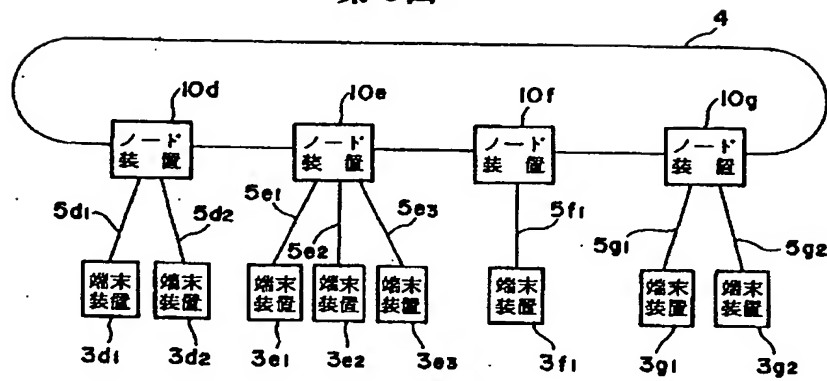
第1図



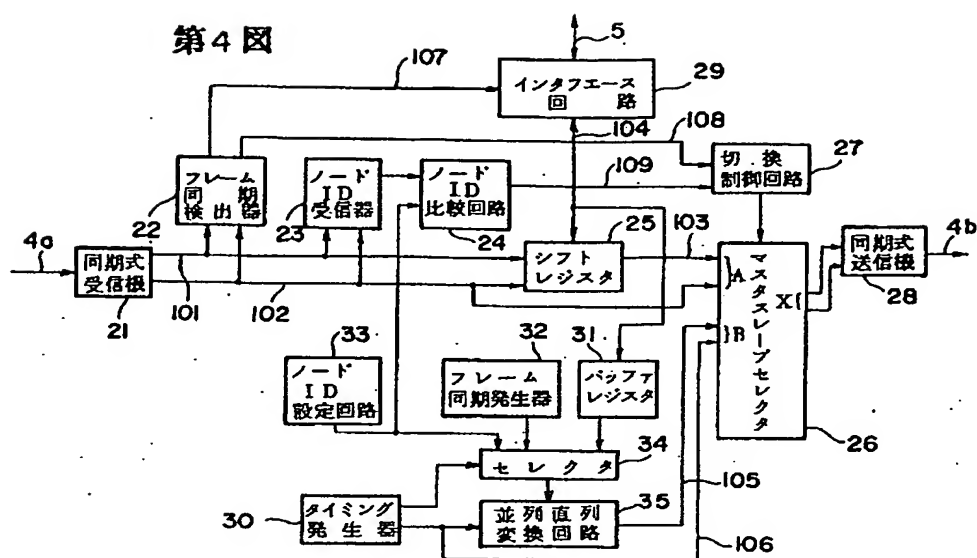
第2図



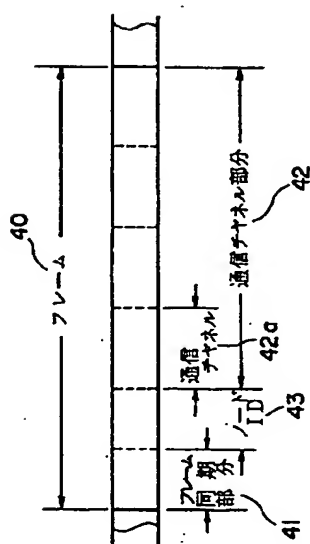
第3図



第4図



區に無



第6図

